

Практическая работа

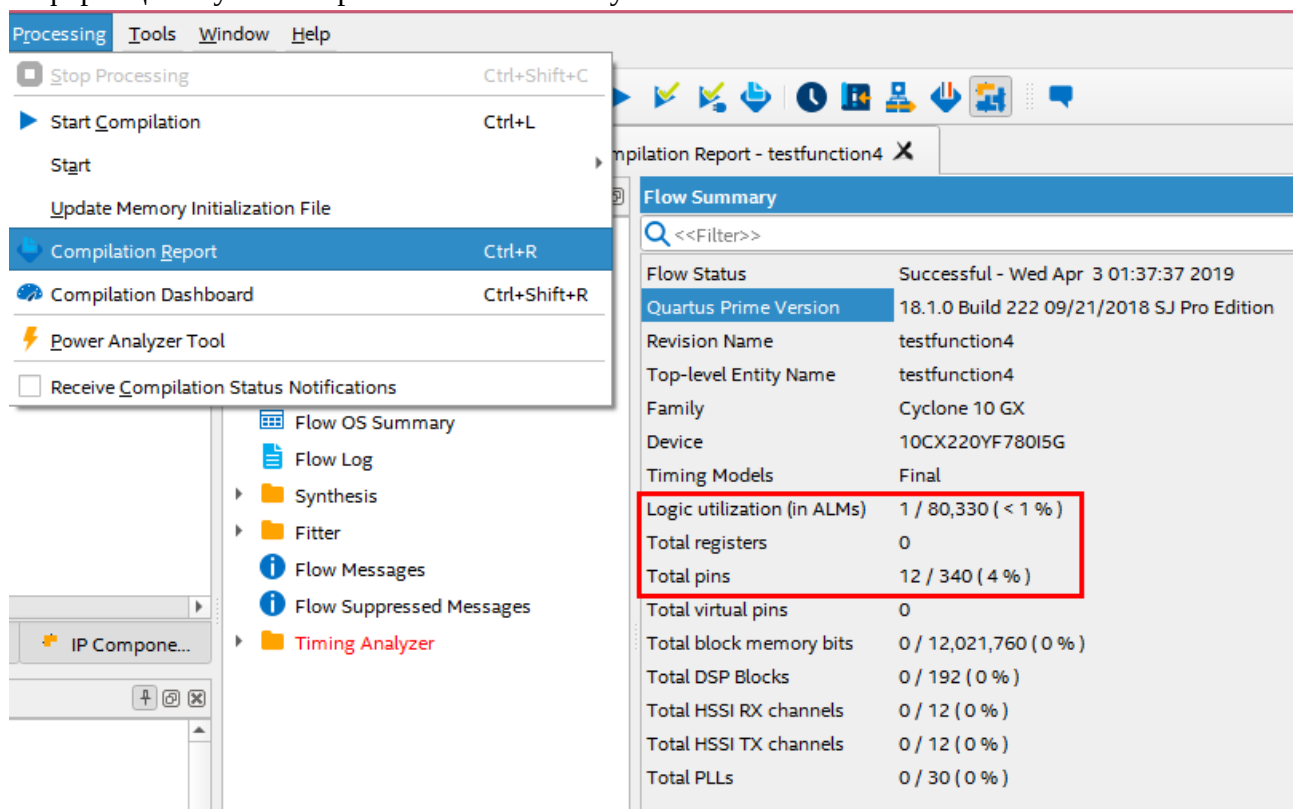
Решение задач на проектирование «простых» устройств

Цель: Отработать навыки проектирования устройств на базе FPGA.

Задачи: Отработать навыки проектирования устройств на базе FPGA.

Литература и прочие источники: [Quick-Start for Intel Quartus Prime Pro Edition Software](#), [Intel Quartus Prime Pro Edition User Guide: Getting Started](#), [Программирование на языке Verilog](#), [Особенности проектирования ПЛИС](#)

Для того, чтобы узнать сколько ячеек и пинов использует проект, а также другую информацию нужно открыть «Flow Summary»



The screenshot shows the Intel Quartus Prime Pro Edition software interface. The 'Processing' menu is open, displaying options such as 'Stop Processing', 'Start Compilation', 'Compilation Report', 'Compilation Dashboard', 'Power Analyzer Tool', and 'Receive Compilation Status Notifications'. The 'Flow Summary' window is open, showing project details for 'testfunction4'. The 'Flow Status' is 'Successful - Wed Apr 3 01:37:37 2019'. The 'Quartus Prime Version' is '18.1.0 Build 222 09/21/2018 SJ Pro Edition'. The 'Revision Name' is 'testfunction4'. The 'Top-level Entity Name' is 'testfunction4'. The 'Family' is 'Cyclone 10 GX'. The 'Device' is '10CX220YF780I5G'. The 'Timing Models' are 'Final'. The 'Logic utilization (in ALMs)' is '1 / 80,330 (< 1 %)', which is highlighted with a red box. The 'Total registers' is '0'. The 'Total pins' is '12 / 340 (4 %)', which is also highlighted with a red box. The 'Total virtual pins' is '0'. The 'Total block memory bits' is '0 / 12,021,760 (0 %)', 'Total DSP Blocks' is '0 / 192 (0 %)', 'Total HSSI RX channels' is '0 / 12 (0 %)', 'Total HSSI TX channels' is '0 / 12 (0 %)', and 'Total PLLs' is '0 / 30 (0 %)'.

Flow Status	Successful - Wed Apr 3 01:37:37 2019
Quartus Prime Version	18.1.0 Build 222 09/21/2018 SJ Pro Edition
Revision Name	testfunction4
Top-level Entity Name	testfunction4
Family	Cyclone 10 GX
Device	10CX220YF780I5G
Timing Models	Final
Logic utilization (in ALMs)	1 / 80,330 (< 1 %)
Total registers	0
Total pins	12 / 340 (4 %)
Total virtual pins	0
Total block memory bits	0 / 12,021,760 (0 %)
Total DSP Blocks	0 / 192 (0 %)
Total HSSI RX channels	0 / 12 (0 %)
Total HSSI TX channels	0 / 12 (0 %)
Total PLLs	0 / 30 (0 %)

Задание

Разработать проект устройства в соответствии с вариантом:

- Написать код для схемосинтезатора
- Разработать систему тестов
- Проверить работу устройства
- Выяснить уровень утилизации ячеек, регистров, пинов
- Выбрать наиболее подходящую версию FPGA

Вариант заданий вы найдете в таблице ниже. Распределение по вариантам можно увидеть по ссылке на сайте.

В отчет: Код. RTL схема. Описание и результаты тестов. (В описании каждого теста указать каков входной сигнал и как он изменяется, какой выходной сигнал ожидается для каждого срабатывания.) Уровень утилизации ячеек, регистров, пинов. Спецификации выбранной для проекта FPGA.

Задания по вариантам

Вариант	Текст задания
1	Опишите J-K, и T триггеры, используя блок always в Verilog
2	Опишите на языке Verilog общий синхронный n-разрядный суммирующий/вычитающий счетчик, что считает до p, когда суммирует, и считает до q, когда вычитает.
3	Опишите асинхронный счётчик, который делит входные такты на 32.
4	Спроектируйте делитель частоты, который делит частоту входных тактов на 32
5	Создайте счетчик, однократно проходящий все свои состояния от нуля до модуля счета по внешнему сигналу (положительный цифровой зуб пилы)
6	Создайте иллюминацию "бегущие огни" в одном направлении на светодиодах (т.е. выглядящую как светящая точка, всегда смещающаяся в одном направлении) с помощью сдвигового регистра
7	Создайте иллюминацию "бегущие огни" в одном направлении на светодиодах (т.е. выглядящую как светящая точка, всегда смещающаяся в одном направлении) с помощью счетчика с дешифратором.
8	Создайте иллюминацию "бегущие огни" со сменяющимся направлением движения на светодиодах