

Краткий обзор интерфейса I²C

Статья основывается на технической документации DS30390e
компании Microchip Technology Incorporated, USA.

**© ООО «Микро-Чип»
Москва - 2001**

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

Краткий обзор интерфейса I²C

Статья основывается на технической документации DS30390e компании Microchip Technology Incorporated, USA.

I²C - двухпроводный последовательный интерфейс, разработанный корпорацией Philips. В Первоначальном техническом требовании к интерфейсу максимальная скорость передачи данных составляла 100 Кбит/с. Однако позже появились стандартные более скоростные режимы работы шины I²C (400Кбит/с и 1Мбит/с). К одной шине I²C могут быть подключены устройства с различными скоростями доступа, если скорость передачи данных будет удовлетворять требованиям самого низкоскоростного устройства.

Протокол передачи данных по шине I²C разработан таким образом, чтобы гарантировать надежный качественный прием/передачу данных. При передаче данных одно устройство является "Ведущим", которое инициирует передачу данных и формирует сигналы синхронизации. Другое устройство "Ведомое", которое может начать передачу данных только по команде ведущего шины. Модуль SSP микроконтроллеров PIC16CXXX полностью поддерживает режим ведомого I²C, за исключением поддержки адреса общего вызова (режим ведущего реализуется программно). Модуль MSSP аппаратно поддерживает режим ведущего/ведомого I²C, адрес общего вызова и скорость обмена данными до 1Мбит/с. Скорость передачи данных 1Мбит/с используют некоторые микросхемы последовательной EEPROM памяти. В таблице 1 представлены основные термины, связанные с шиной I²C.

Каждое устройство на шине I²C имеет уникальный адрес. Когда ведущий инициирует передачу данных, то сначала передается адрес устройства, к которому выполняется обращение. Остальные устройства проверяют переданный ведущим адрес. В состав байта адреса устройства входит бит направления передачи данных (выполняется чтение из ведомого или запись). Ведомый и ведущий шины всегда находятся в противоположном режиме работы, что можно представить в виде двух состояний:

- Ведущий передатчик - ведомый приемник.
- Ведомый передатчик - ведущий приемник.

В обоих случаях ведущий формирует тактовый сигнал.

Вывод тактового сигнала (SCL) и данных (SDA) должны иметь выход с открытым коллектором, чтобы выполнять требования "монтажного И" на шине. Для формирования высокого уровня сигнала на линиях к ним подключаются подтягивающие резисторы. Число устройств, которые могут быть подключены к шине I²C, ограничивается только максимальной емкостью шины (400пФ) и способностью адресации этих устройств.

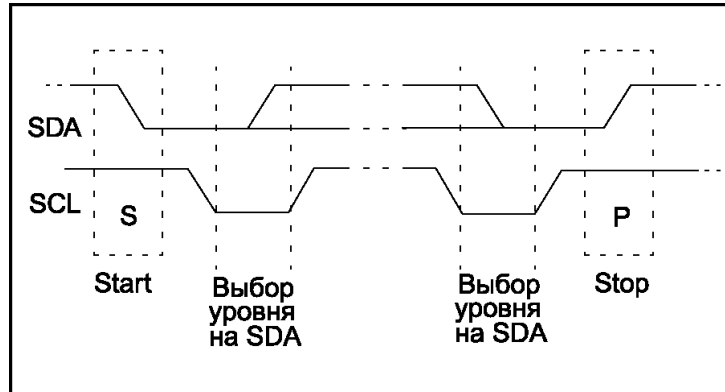
Таблица 1 Основные термины, связанные с шиной I²C

Термин	Описание
Передатчик	Устройство, передающее данные по шине I ² C.
Приемник	Устройство, принимающее данные с шины I ² C.
Ведущий	Устройство, инициирующее передачу данных и формирующее тактовый сигнал.
Ведомый	Устройство, к которому обращается ведущий.
Конкуренция	Более чем один ведущий на шине. Несколько ведущих могут пытаться передать данные без разрушения текущего сообщения.
Арбитраж	Процедура, гарантирующая, что только один ведущий управляет шиной.
Синхронизация	Процедура синхронизации тактовых сигналов от двух или более устройств.

Инициализация и завершение передачи данных

В то время, когда передача данных на шине I²C отсутствует, сигнал синхронизации (SCL) и данных (SDA) имеют высокий логический уровень за счет подтягивающих резисторов. Биты START и STOP формируются ведущим для определения начала и окончания передачи данных соответственно. Бит START формируется переходом сигнала SDA из высокого уровня в низкий при высоком уровне сигнала SCL. Бит STOP формируется переходом SDA из низкого уровня в высокий при высоком уровне SCL. На рисунке 1 показано формирование битов START и STOP. Ведущий шины формирует биты START и STOP для указания начала и завершения передачи данных. При передаче данных сигнал SDA может изменяться только, когда SCL имеет низкий логический уровень.

Рис. 1 Биты START и STOP



Адресация устройств на шине I²C

Для адресации устройств используется два формата адреса: простой 7-разрядный формат с битом чтения/записи R/W (см. рис. 2); 10-разрядный формат, передается два байта. В первом байте передается: пять битов, определяющих, что это 10-разрядный адрес; два старших бита адреса; бит чтения/записи. Во втором байте передается 8 младших бит адреса (см. рис. 3).

Рис. 2 7-разрядная адресация



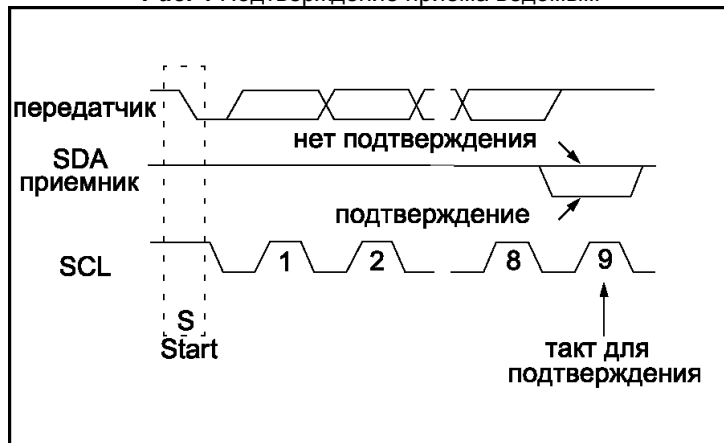
Рис. 3 10-разрядная адресация



Подтверждение приема

При передаче данных после каждого переданного байта приемник должен подтвердить получения байта сигналом ACK. (см. рис. 4). Если ведомый не подтверждает получение байта адреса или данных, ведущий должен прервать передачу сформировав сигнал STOP (ведомый должен отпустить SDA для формирования STOP ведущим).

Рис. 4 Подтверждение приема ведомым



Когда ведущий шины принимает данные, то на каждый принимаемый байт формируется бит подтверждения, если принятый байт не последний. Для сообщения ведомому о том, что ведущий прекращает принимать данные по приему последнего байта -ACK не формируется. Ведомый отпускает SDA, чтобы ведущий смог передать бит STOP. Ведущий может формировать бит STOP на месте бита подтверждения.

Если ведомому необходимо задержать передачу данных, то он может удерживать SCL в низком логическом уровне. Передача данных продолжится, когда ведомый отпустит SCL. Это позволяет ведомому подготовить новые данные для передачи. Методика задержки передачи данных может использоваться и при передаче отдельных битов (см. рис. А-5).

Рис. 5 Ожидание передачи данных



На рисунках 6 и 7 показаны последовательности приема и передачи данных ведущим шины.

Рис. 6 Последовательность передачи данных ведущим

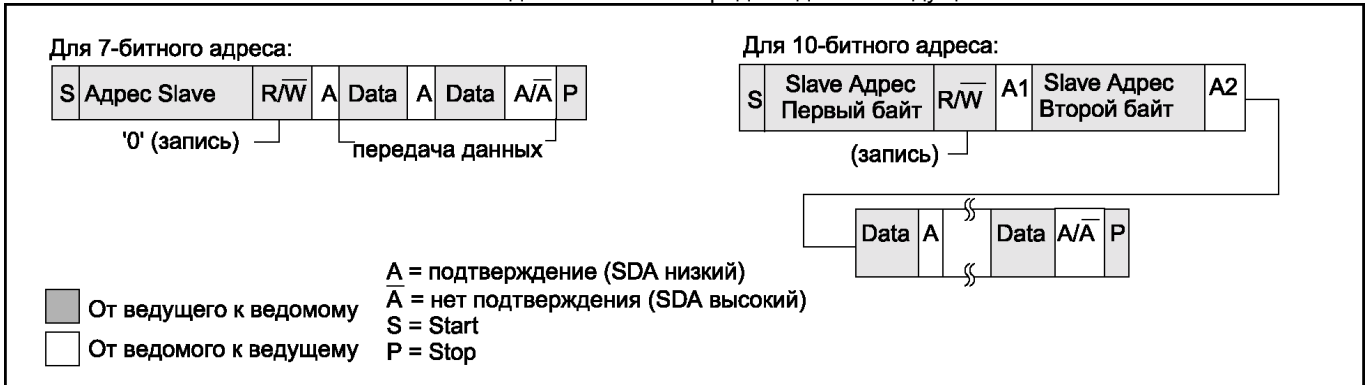
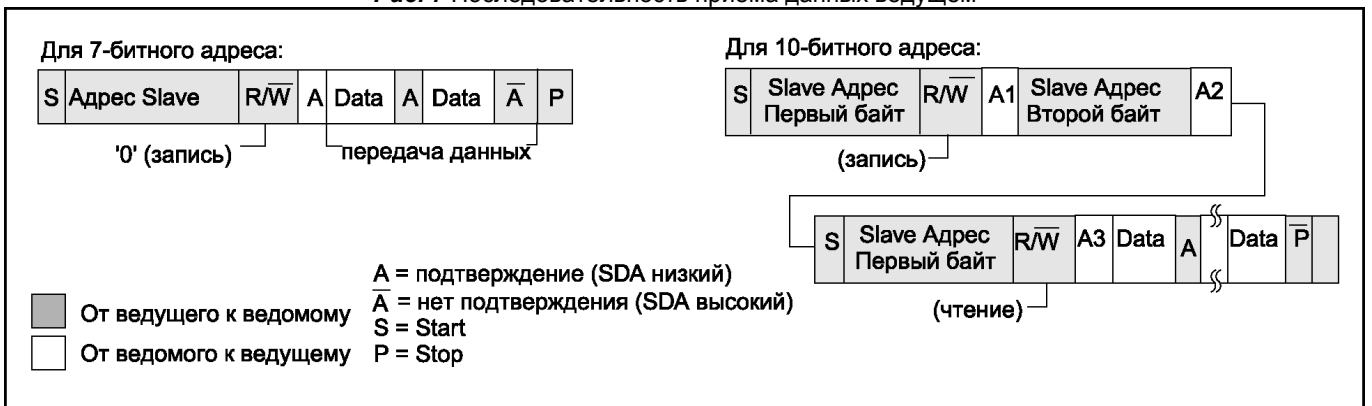
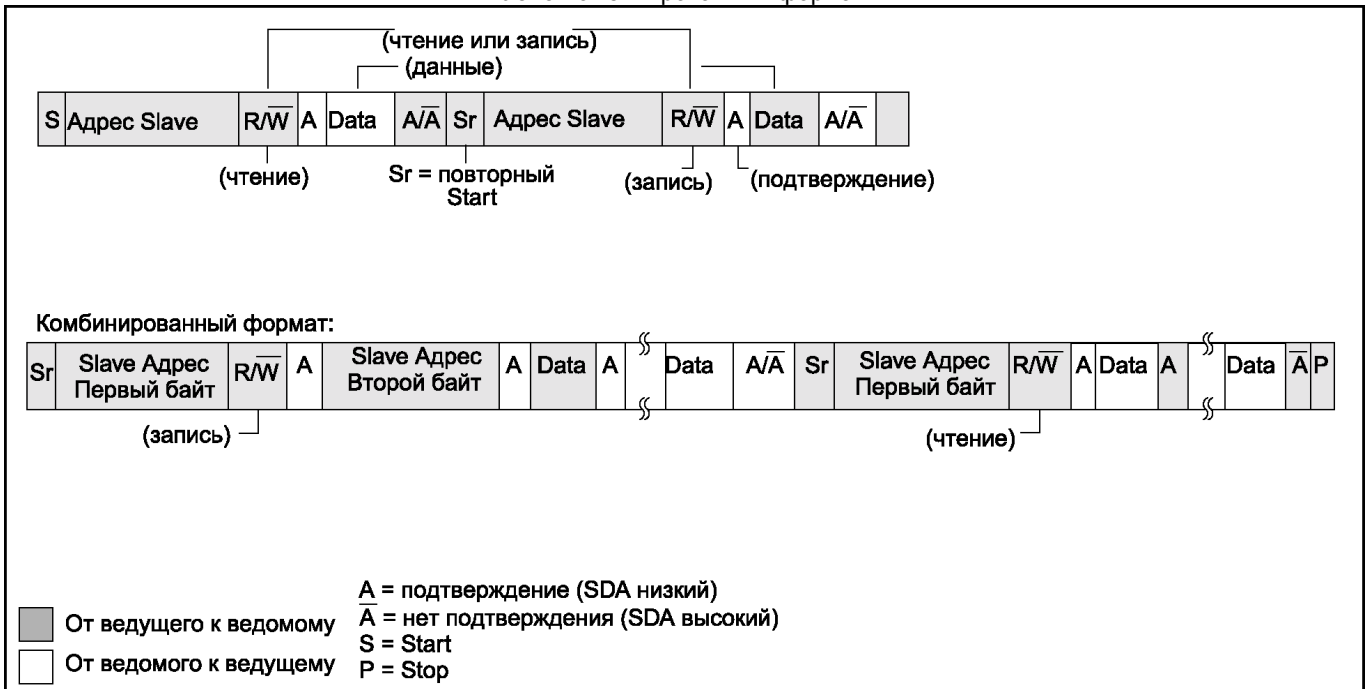


Рис. 7 Последовательность приема данных ведущем



Когда ведущему шины необходимо продолжить обмен данными (при формировании бита STOP управление шиной теряется) может быть передан бит повторный START. Условие повторный START идентично условию START (на SDA формируется переход с высокого логического уровня в низкий при высоком уровне сигнала на SCL), но формируется после передачи бита подтверждения. Это позволяет ведущему продолжить обмен с текущим устройством или адресовать новое (см. рис. 8).

Рис. 8 Комбинированный формат



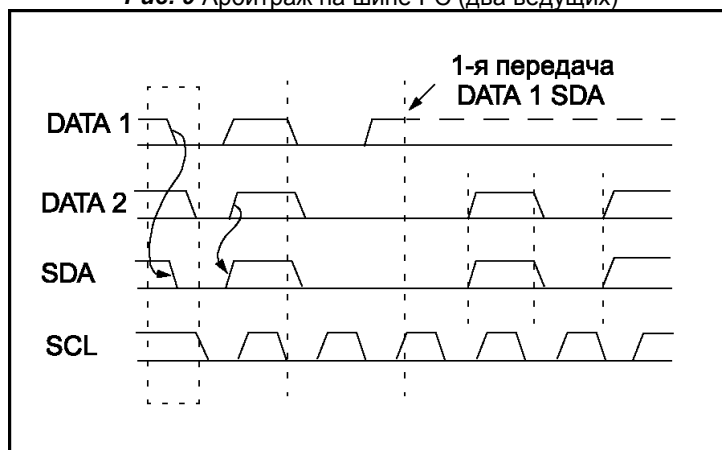
Режим конкуренции

Протокол передачи данных I²C позволяет иметь более одного ведущего на шине. Для разрешения конфликтов на шине при инициализации передачи используются функции арбитража и синхронизации.

Арбитраж

Арбитраж выполняется на линии SDA при высоком уровне сигнала на SCL. Устройство, которое формирует на линии SDA высокий уровень, когда другое устройство передает низкий, теряет право быть ведущим и должно перейти в режим ведомого. Ведущий, потерявший инициативу на шине I²C, может формировать тактовые импульсы до конца байта, в котором потерял управление шиной. Когда несколько ведущих адресуют одно и то же устройство, то арбитраж выполняется при передаче данных.

Рис. 9 Арбитраж на шине I²C (два ведущих)



Ведущий, потерявший арбитраж, должен немедленно перейти в режим ведомого, поскольку он может быть адресован текущим ведущим.

Арбитраж не допускается между:

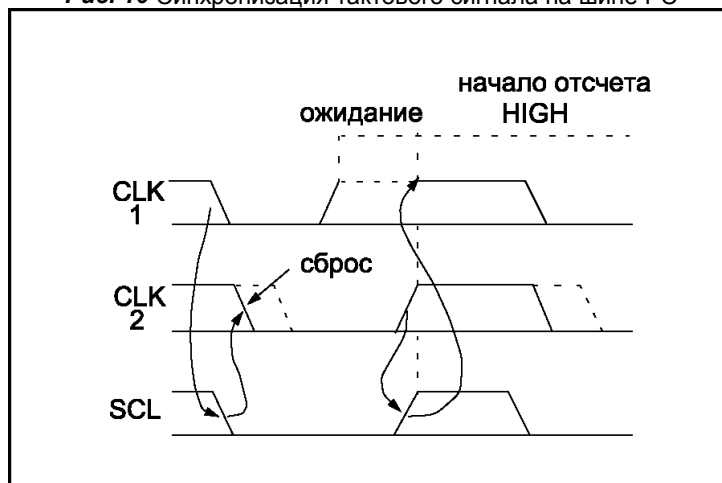
- Битами повторный START;
- Битом STOP и битом данных;
- Битами повторный START и STOP.

Ведущий шины должен гарантировать отсутствие указанных условий.

Синхронизация

Синхронизация тактового сигнала выполняется, когда устройства начинают арбитраж. Синхронизация реализуется за счет включения линии SCL по схеме "монтажное И". Переход сигнала на SCL с высокого логического уровня в низкий заставляет устройства, выполняющие арбитраж, начать отсчет длительности низкого логического уровня. После того, как тактовый сигнал устройства перешел в низкий уровень, оно будет удерживать этот уровень на SCL до тех пор, пока тактовый сигнал не перейдет в высокий уровень, но на SCL может быть по прежнему низкий уровень, если другое устройство формирует низкий логический уровень. Низкий уровень на SCL удерживается устройством с минимальной частотой тактового сигнала передачи данных. Устройства с меньшей длительностью низкого уровня на SCL переходят в состояние ожидания, пока на SCL не появится высокий логический уровень сигнала. Затем все устройства начинают отсчет длительность высокого уровня сигнала. Устройство, с минимальной длительность высокого уровня сигнала, первым переведет SCL в низкий уровень (см. рис. 10).

Рис. 10 Синхронизация тактового сигнала на шине I²C



Статья основывается на технической документации DS30390e компании Microchip Technology Incorporated, USA.